

DECISION OF THE INTELLECTUAL PROPERTY OFFICE

(TRANSLATION)

Issuance Date: 25 September 2002

1. Application No.: 090116972  
International Classification Seventh Edition: H01L 27/108
2. Title: Semiconductor Memory Device Having Plug Contacted to Capacitor Electrode and Method for Fabricating the Same
3. Applicant: Hynix Semiconductor Inc.  
Address: Korea
4. Attorney: C.V. Chen  
Address: 7th Floor, No. 201, Tun Hua North Road, Taipei
5. Filing Date: 11 July 2001
6. Priority Claim: None
7. Examiner: Min-Juang Shiau
8. Contents of Decision:

SUBJECT: The subject matter shall not be granted a patent.

BASIS: Patent Law, Article 20, Paragraph 2.

REASONS:

- (1) The main features of the present invention, entitled "Semiconductor Memory Device Having Plug Contacted to Capacitor Electrode and Method for Fabricating the Same" can be known from analyzing the prior art shown in Fig. 2 and the embodiment shown in Fig. 3 of the present application. In the present invention, a seed layer 34D is formed on the top of a plug 34. In the prior art, no seed layer is formed on the top of a plug 16.
- (2) The technology or knowledge of forming a seed layer on the top of a plug is well-known in the prior art, for example, ROC (Taiwan) Patent Publication

No. 425711 (as attached), entitled "Method of Manufacturing a Capacitor," and published on 11 March 2001. The present invention can be inferred and accomplished easily by persons skilled in semiconductor processes according to the prior art shown in Fig. 2 and ROC (Taiwan) Patent Publication No. 425711. Therefore, the present invention does not have an inventive step.

- (3) In summary, the present invention utilizes technology or knowledge known prior to applying for patent and can be accomplished easily by persons skilled in the art. Therefore, the present invention does not meet the requirement of an invention patent.

In view of the above, the application does not conform to the provisions of Paragraph 2 of Article 20 of the Patent Law and patent rights are not granted thereto.

Sealed By

Tsai, Lien-Sheng  
Commissioner

Note: If dissatisfied with the decision, the applicant may file a request for re-examination within 30 days following the date of receipt of this decision and pay a government fee of NT\$6,000 (as for the application whose total pages of the specification and the drawings exceed 50 pages, a fee of NT\$500 should be added for every 50 pages, and less than 50 pages counted as 50 pages).

經濟部智慧財產局專利核駁審定書

受文者：海力士半導體股份有限公司（代理人：

陳長文 先生）

地址：台北市敦化北路二〇一號七樓

發文日期：中華民國九十一年九月二十五日

發文字號：（九一）智專二（一）01066字

第〇九一八三〇一六八二一號

一、申請案號數：〇九〇一一六九七二

專利分類IPC(7)：H01L 27/108

二、發明名稱：具有與電容器電極接觸之插頭之半導體記憶體裝置及其製造方法

三、申請人：

名稱：海力士半導體股份有限公司

地址：韓國

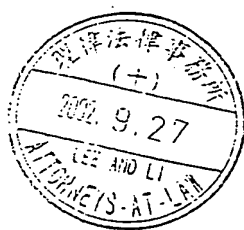
四、專利代理人：

姓名：陳長文 先生

地址：台北市敦化北路二〇一號七樓

複代理人：

五、申請日期：九十年七月十一日



10. 1. 22  
24 22

裝

訂

線

六、優先權項目：

七、審查人員姓名：蕭明椿 委員

八、審定內容：

主文：本案應不予專利。

依據：專利法第二十條第二項。

理由：

(一) 本案「具有與電容器電極接觸之插頭之半導體記憶體裝置及其製造方法」主要特徵可由分析並比較第二圖之先前技藝與第三圖之本案實施例得知：本案於插塞32頂端設置有一種子層34D，而先前技藝則並未於插塞15頂端設置有種子層。

(二) 查於插塞頂端設置有種子層之技術或知識，實屬習知既有，如本國專利公報於九十年三月十一日公告之公告編號第四二五七一號「電容之製作方法」案（引證附件）所示即是。故本案係熟習半導體製程之人士，所能由第二圖之先前技藝，並配合本國專利公報公告編號第四二五七一號案所示之習知技術或知識，輕易推知並完成者，故不具進步性。

(三) 綜上所述，本案係運用申請前既有之技術或知識，而為熟悉該項技術所能輕易完成者，難謂符合發明專利要件。

據上論結，本案不符法定專利要件，爰依專利法第二十條第二項，審定如主文。

局長  
**蔡練生**

依照分層負責規定授權單位主管執行

如不服本審定，得於文到之次日起三十日內，備具再審查理由書一式二份及規費新台幣陸仟元整（專利說明書及圖式合計在五十頁以上者，每五十頁加收新台幣五百元，其不足五十頁者以五十頁計），向本局申請再審查。

[11]公告編號：425711

[44]中華民國 90 年 (2001) 03 月 11 日

發明

全 8 頁

[51] Int.Cl. 06: H01L27/108

[54]名 稱：電容之製作方法

[21]申請案號：088120697

[22]申請日期：中華民國 88 年 (1999) 11 月 26 日

[72]發明人：

羅吉進

新竹縣關西鎮東安里二鄰五十八號

[71]申請人：

台灣積體電路製造股份有限公司

新竹市科學工業園區園區三路一百二十一號

[74]代理人：洪澄文 先生

[57]申請專利範圍：

1. 一種電容之製作方法，適用於一基底，包含有下列步驟：  
形成一第一介電層於該基底上；  
去除部分之該第一介電層，以形成一接觸洞；  
於該接觸洞中形成一導電插塞；  
形成一接種層(seed layer)於該導電插塞上；  
形成一犧牲層於該接種層與該第一介電層上；  
去除一預定區域之該犧牲層，以形成一凹槽，並使該接種層裸露；  
以電鍍(electroplating)方式，於該凹槽中形成一下電極層；  
去除該犧牲層；以及  
依序形成一第二介電層以及一上電極層於該下電極層之上。
2. 如專利申請專利範圍第 1 項之製作方法，其中，該製作方法另包含有下列步驟：  
形成一停止層於該第一介電層上，作為去除該犧牲層時的蝕刻停止層；以及  
去除部分之該第一介電層以及該停止層，以形成該接觸洞。
3. 如專利申請專利範圍第 2 項之製作方法，其中，該導電插塞的表面係低於該停止層之表面。
4. 如專利申請專利範圍第 3 項之製作方法，其中，形成該接種層於該導電插塞上之步驟包含有下列步驟：  
形成該接種層於該停止層上與該接觸洞內；以及  
進行一非等向性蝕刻，以去除位於該停止層上之該接種層，並保留位於該接觸洞內之該接種層。
5. 如專利申請專利範圍第 1 項之製作方法，其中，該去除一預定區域之該犧牲層之步驟包含有一非等向性蝕刻製程。

- 6.如專利申請專利範圍第1項之製作方法，其中，去除該犧牲層之步驟包含有一溼蝕刻製程。
- 7.如專利申請專利範圍第1項之製作方法，其中，該基底係以矽所構成。
- 8.如專利申請專利範圍第1項之製作方法，其中，該第一介電層係以氧化矽(silicon oxide)所構成。
- 9.如專利申請專利範圍第1項之製作方法，其中，該導電插塞係以多晶矽(poly-silicon)所構成。
- 10.如專利申請專利範圍第1項之製作方法，其中，該接種層係以鈦(Ruthenium, Ru)所構成。
- 11.如專利申請專利範圍第1項之製作方法，其中，該下電極層係以鉑(platinum, Pt)所構成。
- 12.如專利申請專利範圍第1項之製作方法

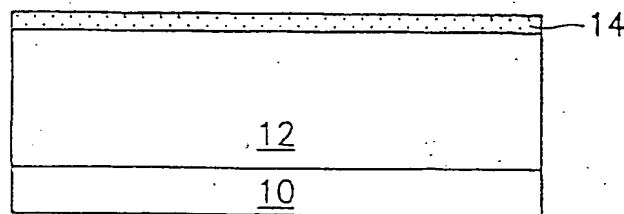
法，其中，該第二介電層係以鈦酸鋇鎂((Bs, Sr)TiO<sub>3</sub>, BST)所構成。

- 13.如專利申請專利範圍第1項之製作方法，其中，該上電極層係以鉑所構成。
- 14.如專利申請專利範圍第1項之製作方法，其中，形成該接種層於該導電插塞上之步驟亦同時使該接種層形成於該第一介電層上。
- 15.如專利申請專利範圍第14項之製作方法，其中，該方法另包含有一步驟，以去除該下電極層未覆蓋處之該接種層。

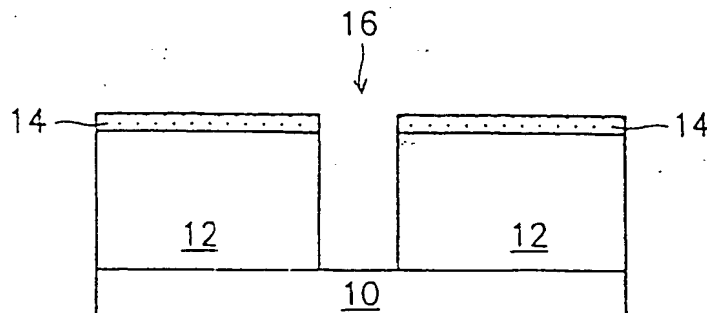
圖式簡單說明：

第一圖至第九圖為本發明之第一實施例之剖面示意圖；以及

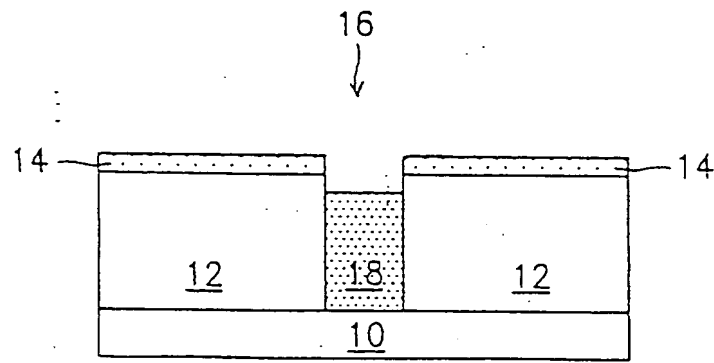
第十圖至第十九圖為本發明之第二實施例之剖面示意圖。



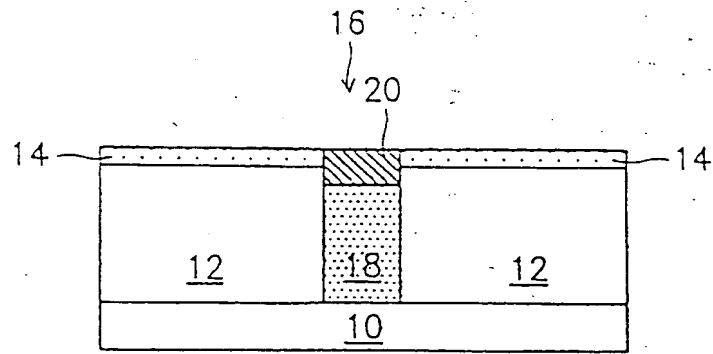
第一圖



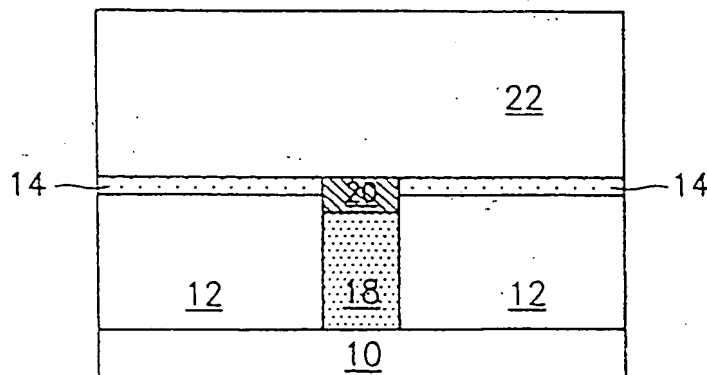
第二圖



第三圖

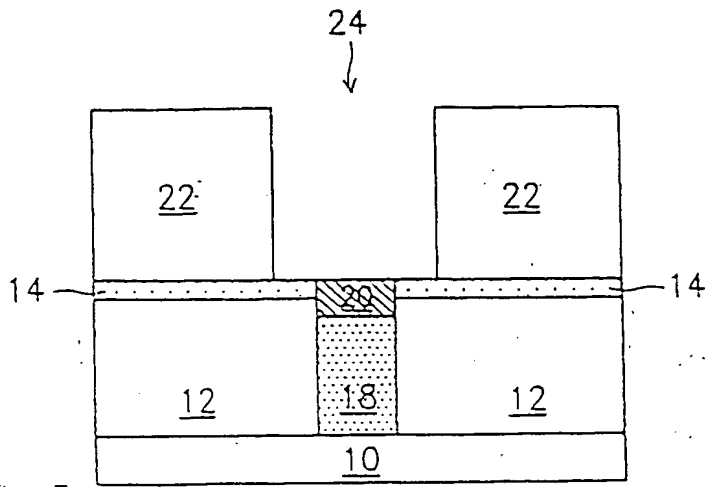


第四圖

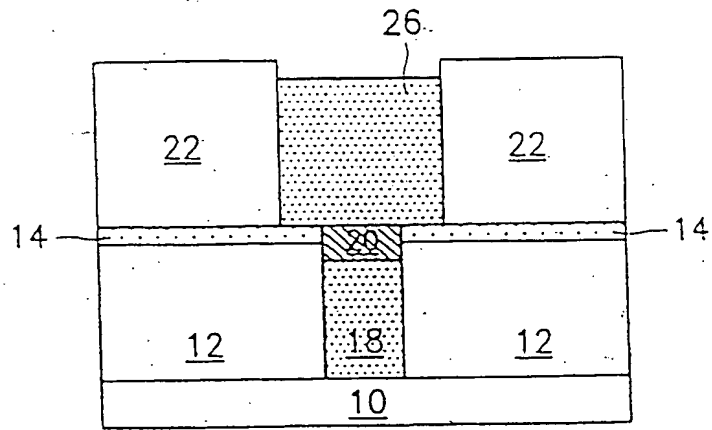


第五圖

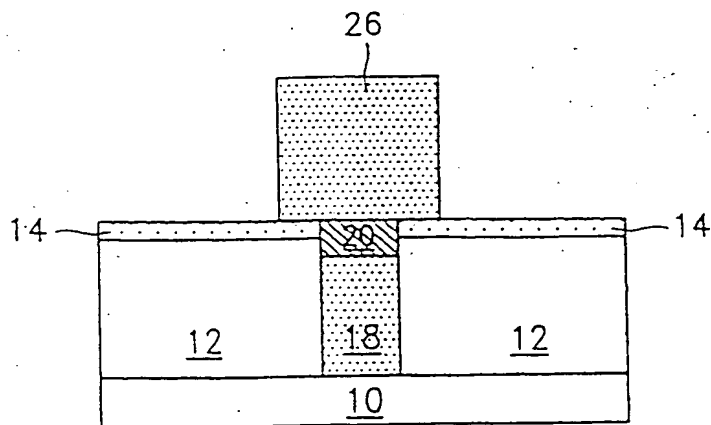




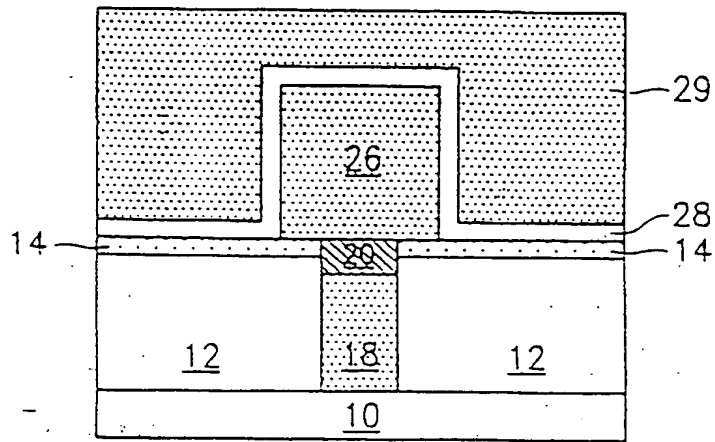
第六圖



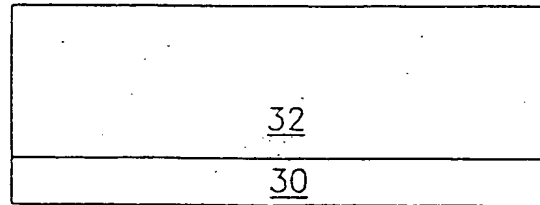
第七圖



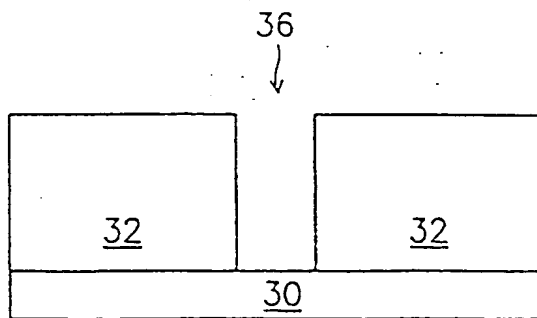
第八圖



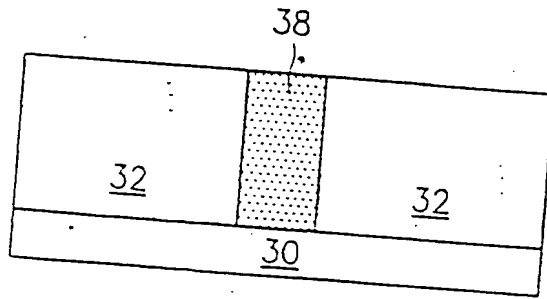
第九圖



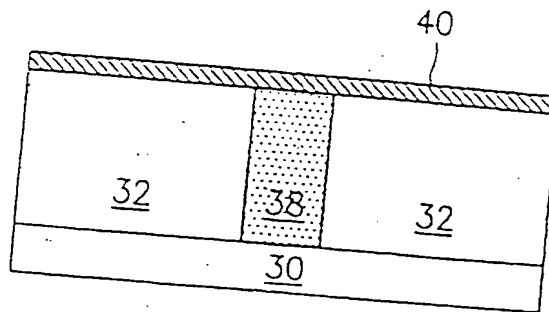
第十圖



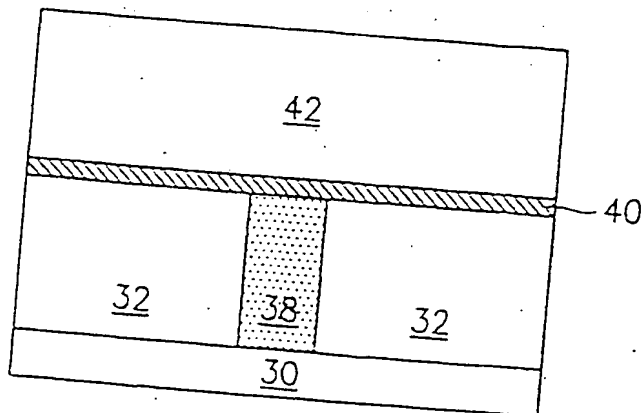
第十一圖



第十二圖

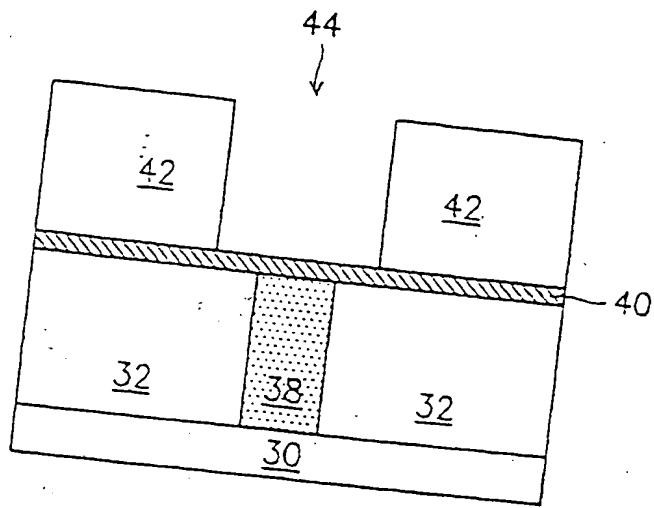


第十三圖

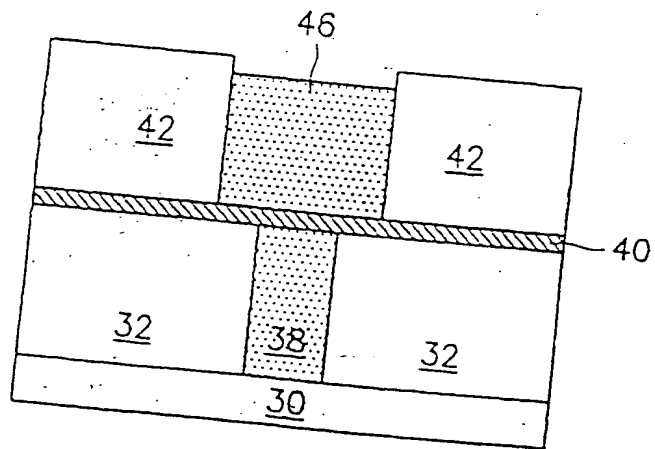


第十四圖

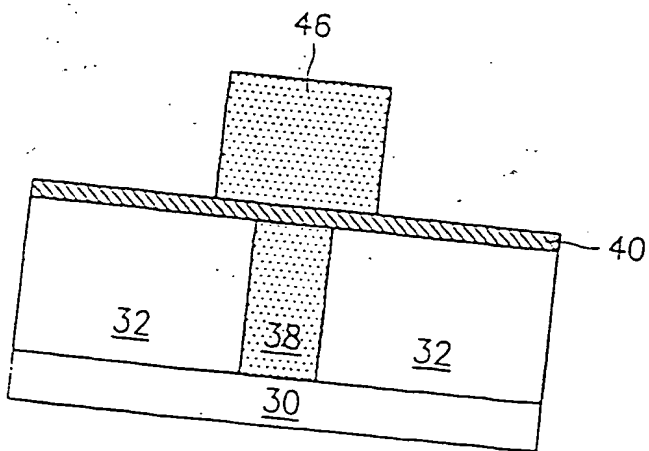
(7)



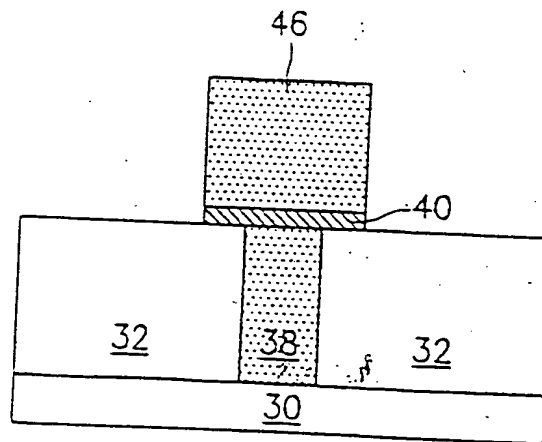
第十五圖



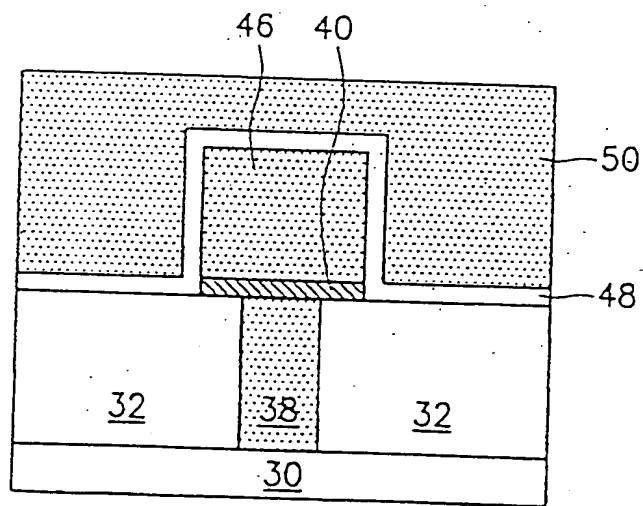
第十六圖



第十七圖



第十八圖



第十九圖

71947

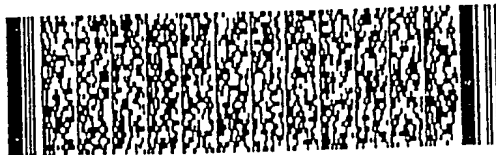
申請日期：修正 88.11.20 案號：88120691

類別：補交 H01L 27/108

(以上各類由本局填註) 090116972 3/2/88

公告本 發明專利說明書 425711

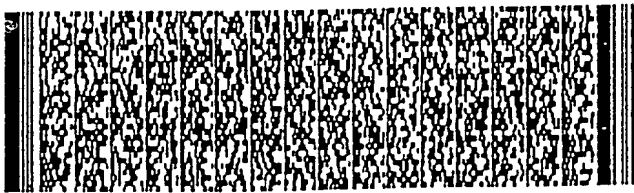
一、發明名稱	中文	電容之製作方法
	英文	
二、發明人	姓名 (中文)	1. 羅吉進
	姓名 (英文)	1. Chine-Gie Lou
	國籍	1. 中華民國
	住、居所	1. 新竹縣關西鎮東安里2鄰58號
三、申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹市科學工業園區園區三路121號
	代表人姓名 (中文)	1. 張忠謀
	代表人姓名 (英文)	1.



## 四、中文發明摘要 (發明之名稱：電容之製作方法)

本發明提供一種電容之製作方法，適用於一基底。本發明之製作方法首先形成一第一介電層於該基底上。接著去除部分之該第一介電層，以形成一接觸洞。然後於該接觸洞中形成一導電插塞。跟著形成一接種層(seed layer)於該導電插塞上。下一步形成一犧牲層於該接種層與該第一介電層上。接著去除一預定區域之該犧牲層，以形成一凹槽，並使該接種層裸露。然後以電鍍(electroplating)方式，於該凹槽中形成一下電極層。跟著去除該第一介電層上之犧牲層。最後依序形成一第二介電層以及一上電極層於該下電極層之上，以完成整個電容的製作。上下電極層均以金屬鉑所構成。本發明之製作方法並不需要有蝕刻金屬鉑之製程，故可以避免難以蝕刻以及臨界尺寸不易控

## 英文發明摘要 (發明之名稱：)



425111  
四、中文發明摘要 (發明之名稱：電容之製作方法)

制等問題。

英文發明摘要 (發明之名稱：)





本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

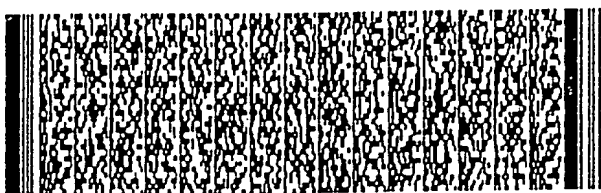
本發明係有關於一種電容之製作方法，尤指一種用於動態記憶體 (DRAM) 中的記憶元 (memory cell) 之電容的製作方法。

記憶元中之電容的大小對於動態記憶體是一件非常重要的事情。它直接影響到動態記憶體中資料更新的間隔時間，間接地影響到動態記憶體中的資料讀取速度。因此，有許多的努力都是耗費在增大電容的電容值。

於電容的結構種類中，大致上可以分成兩種。一種是槽式電容 (trench capacitor)，另一種是堆疊式電容 (stacked capacitor)。如果要增大槽式電容的電容值，則勢必要加深槽式電容的深度，這將導致電容之漏電流過大並降底電容之可靠度。因此，面對增大電容的電容值之問題時，絕大多數的解決方法都是架構於堆疊式電容之結構上。

加大電容的上下電極耦合面積是一種用來增大電容之電容值的方法。可是，隨著半導體元件特徵尺寸 (feature size) 的縮小，結構的改變需要更為複雜的製程步驟，這會大幅地增加成本。因此，漸漸地便演進成改變電容所使用的材質來增大電容之電容值。

習知的電容之上電極與下電極所使用的材質均是多晶矽，而電極之間的介電層是使用氮化矽。如此的架構下，因為氧化矽或者氮化矽的介電常數 (dielectric constant) 並不高，頂多接近 7，而且介電層的厚度又不可以太薄，所以電容值的增加有限。另一方面，上下電極也



## 五、發明說明 (2)

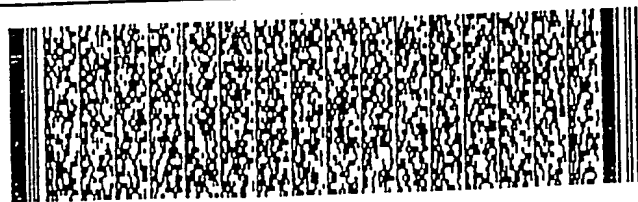
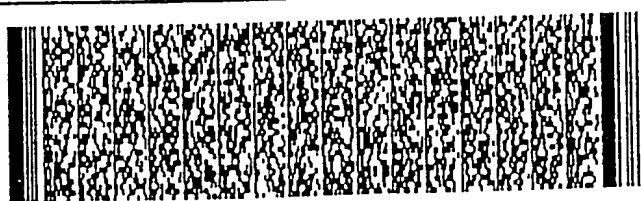
容易產生空乏區(depletion region)而減低了電容值。

改變材質的第一個目標物是介電層，因為鈦酸鋇鋁((Bs, Sr)TiO<sub>3</sub>, BST)的介電常數理論上可以高達500，所以以BST作為介電層的材質是最近很流行的話題。此外，為了克服上下電極上因為多晶矽所產生的空乏區以及減少因介電層與多晶矽間之介面上的介面態(interface states)所造成的漏電流，因此，上下電極便漸漸地隨著介電層之發展而變成以金屬為材質所構成。而此類以金屬材質為上下電極之電容又稱為金屬-絕緣物-金屬(metal-insulator-metal, MIM)電容。並且，鉑在眾多電極金屬當中，擁有低漏電流以及熱穩定(thermal stability)等好處。因此，鉑是一個良好的電極金屬材料。

一般的MIM電容中的下電極是先以物理氣相沉積或化學氣相沉積之製程於半導體晶片上形成金屬薄膜後，接著進行微影以及蝕刻製程定義出下電極的形狀。然而，因為鉑本身的物理特性，蝕刻以及定義鉑並產生出一個精確臨界尺寸(critical dimension, CD)的下電極是非常非常困難的。因此，需要一個精確臨界尺寸的鉑下電極，便必須尋找一個新的製程流程。

有鑑於此，本發明的主要目的，在於提供一種新的製程流程，能避免掉蝕刻鉑時所遭遇的蝕刻困難以及臨界尺寸控制不易的問題。

根據上述之目的，本發明提出一種電容之製作方法，



### 五、發明說明 (3)

適用於一基底。本發明之製作方法首先形成一第一介電層於該基底上。接著去除部分之該第一介電層，以形成一接觸洞。然後於該接觸洞中形成一導電插塞。跟著形成一接種層(seed layer)於該導電插塞上。下一步形成一犧牲層於該接種層與該第一介電層上。接著去除一預定區域之該犧牲層，以形成一凹槽，並使該接種層裸露。然後以電鍍(electroplating)方式，於該凹槽中形成一下電極層。跟著去除該第一介電層上之犧牲層。最後依序形成一第二介電層以及一上電極層於該下電極層之上，以完成整個電容的製作。

該接種層係以鈦(Ruthenium, Ru)所構成。該下電極層以及該上電極層係以鉑(platinum, Pt)所構成。該第二介電層係以鈦酸鋇鋇((Bs, Sr)TiO<sub>3</sub>, BST)所構成。

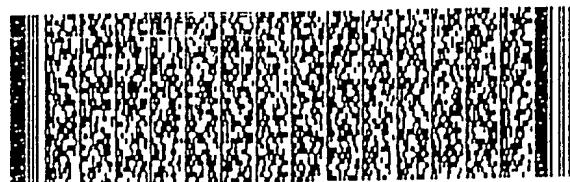
本發明之優點為在所有製程當中，並不需要執行蝕刻下電極層的步驟，所以可以避免掉蝕刻鉑時所遭遇的蝕刻困難以及臨界尺寸不易控制的問題。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖至第9圖為本發明之第一實施例之剖面示意圖；以及

第10圖至第19圖為本發明之第二實施例之剖面示意圖。



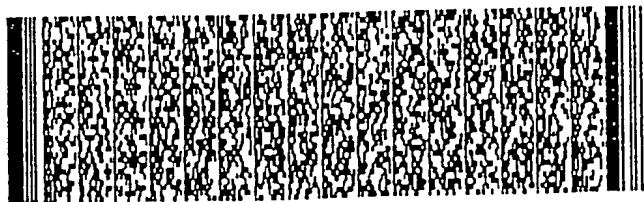
符號說明：

- 10、30~ 基底
- 12、32~ 第一介電層
- 14 停止~層
- 16、36~ 接觸洞
- 18、38~ 導電插塞
- 20、40~ 接種層
- 22、42~ 犧牲層
- 24、44~ 凹槽
- 26、46~ 下電極層
- 28、48~ 第二介電層
- 29、50~ 上電極層

實施例：

本發明提供一種電容之製作方法，可以適用於製作一個MIM電容。請參閱第1圖至第8圖，第1圖至第8圖為本發明之第一實施例之剖面示意圖。

本發明之製作方法的第一實施例首先形成一第一介電層12以及一停止層14於一基底10上，如第1圖所示。譬如說，第一介電層12是以低壓化學氣相沉積(low pressure chemical vapor deposition, LPCVD)製程所形成的氧化矽所構成，停止層14是以LPCVD製程所形成的氮化矽所構成。



## 五、發明說明 (5)

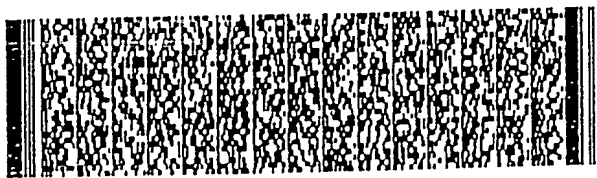
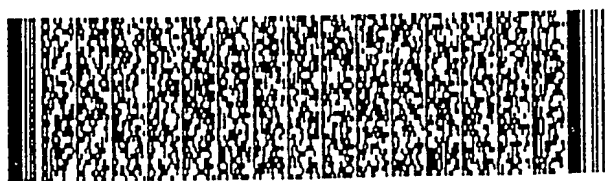
接著，去除部分之停止層14以及第一介電層12，以形成接觸洞16，如第2圖所示。譬如說，先進行一微影製程，於停止層14上形成一個帶有孔洞圖案的光阻層(未顯示)，用以定義接觸洞16的位置。接著進行一非等向性的反應離子蝕刻(reactive ion etch, RIE)製程，垂直向下去除孔洞下的停止層14以及第一介電層12。最後去除掉光阻層，結果便如同第2圖中所示的接觸洞16。

然後，於接觸洞16中形成一導電插塞18，如第3圖所示。譬如說，先以化學氣相沉積製程於停止層14上以及接觸洞16內形成一多晶矽(poly silicon)層(未顯示)，以填滿接觸洞16。接著進行一回蝕刻(etch-back)製程，用以去除停止層14上的多晶矽層，以形成一個導電插塞18。

而且，控制回蝕刻製程的蝕刻時間，以使導電插塞18的表面低於停止層14之表面，如第3圖所示。

跟著，形成一接種層(seed layer)20於導電插塞18上，如第4圖所示。譬如說，先以一物理氣相沉積(physical vapor deposition, PVD)製程，於停止層14上以及接觸洞16內形成一以鈦(Ruthenium, Ru)所構成的接種層20。接著，進行一非等向性的回蝕刻製程，以去除停止層14上的接種層20，並保留位於接觸洞16內之接種層20。如第4圖所示，接種層20的表面與停止層14的表面大致切齊。

接著，形成一犧牲層22於接種層20與停止層14上，如第5圖所示。譬如說，以低壓化學氣相沉積製程所形成的



## 五、發明說明 (6)

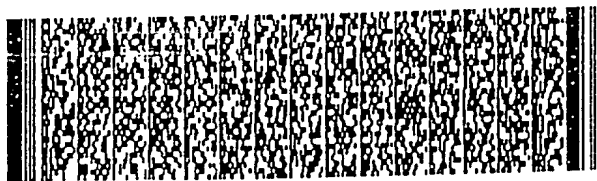
氧化矽來構成犧牲層22。

然後，去除一預定區域之犧牲層22，以形成一凹槽24，並使接種層20裸露，如第6圖所示。譬如說，先進行一微影製程，於犧牲層22上形成一個帶有凹槽圖案的光阻層(未顯示)，用以定義凹槽24的位置。接著進行一非等向性的RIE製程，垂直向下去除部分的犧牲層22，以使接種層20裸露。最後去除掉光阻層，結果便如同第6圖中所示的凹槽24。

跟著，以電鍍(electroplating)方式，於凹槽24中形成一下電極層26，如第7圖所示。譬如說，以鈦(Ruthenium, Ru)所構成的接種層20作為陰極(cathode)，於凹槽24中形成一鈦構成的下電極層26。電鍍的時間必須有良好的控制，以使下電極層26能盡量地填滿凹槽24中，但是又不使下電極層26之表面超過犧牲層22的表面，如第7圖所示。

然後，去除停止層14上之犧牲層22，如第8圖所示。譬如說，以稀釋氫氟酸(diluted HF, DHF)作為蝕刻溶液進行一濕蝕刻製程，因為DHF並不會侵蝕金屬鈦以及氮化矽，所以可以去除以氧化矽構成之犧牲層22並停止於以氮化矽構成的停止層14上，如第8圖所示。

最後，依序形成一第二介電層28以及一上電極層29於下電極層26之上，如第9圖所示。譬如說，以化學氣相沉積製程形成一以鈦酸鋇鋁( $(\text{Ba}, \text{Sr})\text{TiO}_3$ , BST)所構成的第二介電層28，而上電極層29則是以物理氣相沉積製程所產



## 五、發明說明 (7)

生的鉑所構成。因此，一個MIM電容便因此而完成。

請參閱第10圖至第19圖，第10圖至第19圖為本發明之第二實施例之剖面示意圖。

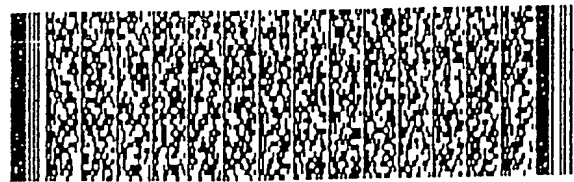
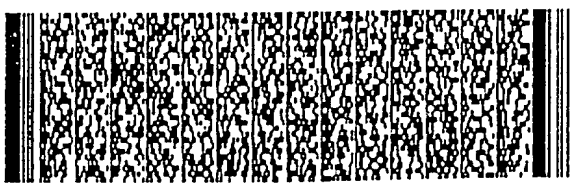
本發明之製作方法的第二實施例首先形成一第一介電層32於一基底30上，如第10圖所示。譬如說，第一介電層32是以低壓化學氣相沉積製程所形成的氧化矽所構成。

接著，去除部分之第一介電層32，以形成接觸洞36，如第11圖所示。譬如說，先進行一微影製程，於第一介電層32上形成一個帶有孔洞圖案的光阻層(未顯示)，用以定義接觸洞36的位置。接著進行一非等向性的反應離子蝕刻製程，垂直向下去除孔洞下的第一介電層32。最後去除掉光阻層，結果便如同第11圖中所示的接觸洞36。

然後，於接觸洞36中形成一導電插塞38，如第12圖所示。譬如說，先以化學氣相沉積製程於第一介電層32上以及接觸洞36內形成一多晶矽層(未顯示)，以填滿接觸洞36。接著進行一回蝕刻製程，用以去除第一介電層32上的多晶矽層，以形成一個導電插塞38。而且，回蝕刻製程使導電插塞38的表面與第一介電層32之表面大約切齊，如第12圖所示。

跟著，形成一接種層40於導電插塞38與第一介電層32上，如第13圖所示。譬如說，以一物理氣相沉積製程，於第一介電層32上以及導電插塞38上形成一以鈦(Ruthenium, Ru)所構成的接種層40。如第13圖所示。

接著，形成一犧牲層42於接種層40上，如第14圖所





## 五、發明說明 (8)

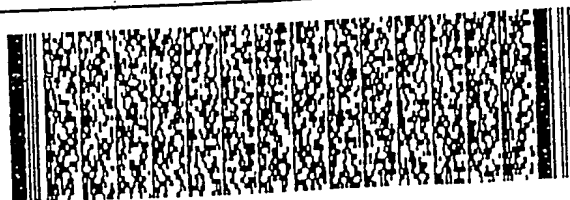
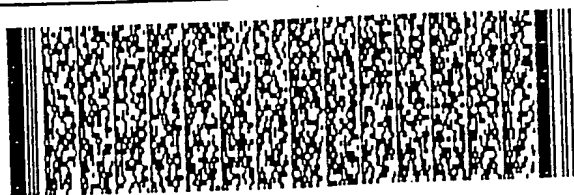
示。譬如說，以低壓化學氣相沉積製程所形成的氧化矽來構成犧牲層42。

然後，去除一預定區域之犧牲層42，以形成一凹槽44，並使接種層40裸露，如第15圖所示。譬如說，先進行一微影製程，於犧牲層42上形成一個帶有凹槽圖案的光阻層(未顯示)，用以定義凹槽44的位置。接著進行一非等向性的反應離子蝕刻製程，垂直向下去除部分的犧牲層42，以使接種層40裸露。最後去除掉光阻層，結果便如同第15圖中所示的凹槽44。

跟著，以電鍍方式，於凹槽44中形成一下電極層46，如第16圖所示。譬如說，以釘所構成的接種層40作為陰極，於凹槽44中形成一金屬鉑構成的下電極層46。電鍍的時間必須有良好的控制，以使下電極層46能盡量地填滿凹槽44中，但是又不使下電極層46之表面超過犧牲層42的表面，如第16圖所示。

然後，去除接種層40上之犧牲層42，如第17圖所示。譬如說，以DHF作為蝕刻溶液進行一濕蝕刻製程，因為DHF並不會侵蝕金屬鉑以及金屬釘，所以可以去除以氧化矽構成之犧牲層42並停止於以金屬釘構成的接種層40上，如第17圖所示。

接著，去除該下電極層46未覆蓋處之接種層40，如第18圖所示。譬如說，以一非等向性RIE製程，將下電極層46當作硬光罩(hard mask)，去除下電極層46未覆蓋處的接種層40，並且停止於第一介電層32，如第18圖所示。



#### 五、發明說明 (9)

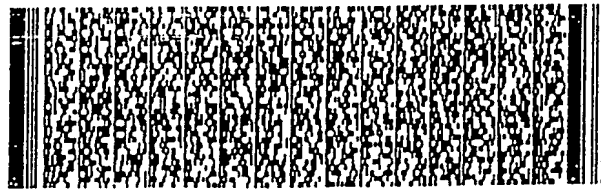
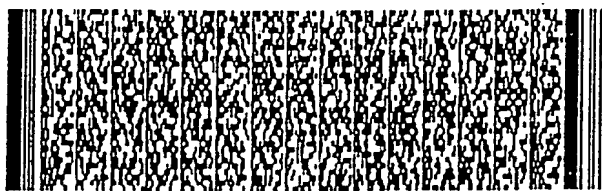
最後，依序形成一第二介電層48以及一上電極層50於下電極層46之上，如第19圖所示。譬如說，以化學氣相沉積製程形成一以鈦酸鋇鉭((Bs, Sr)TiO<sub>3</sub>, BST)所構成的第二介電層48，而上電極層50則是以物理氣相沉積製程所產生的鉑所構成。因此，一個MIM電容便因此而完成。如第19圖所示。

第一實施例以及第二實施例的重點在於下電極層26、46是以電鍍的方式而形成。因為金屬鉑是以選擇性的電鍍方式形成於晶片表面，所以形成一個自動對準(self-aligned)的下電極層。本發明之方法並不需要一個額外的蝕刻製程去定義下電極層的位置，所以可以節省避免定義金屬鉑時產生的蝕刻困難以及臨界尺寸難以控制的情形。

相較於習知的電容製作方法，本發明利用選擇性的電鍍製程來形成以金屬鉑所構成的下電極層。相較於習知用來產生下電極層所使用的PVD製程，電鍍製程比較簡單而且並不需要有高真空，因此製程成本上是比較節省的。另一方面，本發明的製作方法並不需要有蝕刻金屬鉑的製程，所以能夠避蝕刻困難以及臨界尺寸控制不良的情形。

因此，本發明之製作方法實為一種優良的製作方法。

本發明雖以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種電容之製作方法，適用於一基底，包含有下列步驟：

形成一第一介電層於該基底上；

去除部分之該第一介電層，以形成一接觸洞；

於該接觸洞中形成一導電插塞；

形成一接種層(seed layer)於該導電插塞上；

形成一犧牲層於該接種層與該第一介電層上；

去除一預定區域之該犧牲層，以形成一凹槽，並使該接種層裸露；

以電鍍(electroplating)方式，於該凹槽中形成一下電極層；

去除該犧牲層；以及

依序形成一第二介電層以及一上電極層於該下電極層之上。

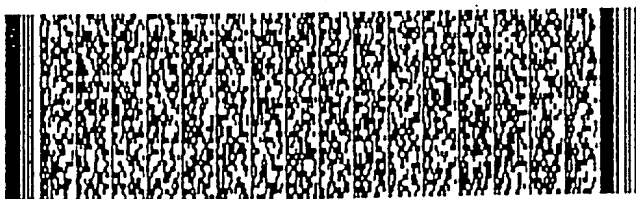
2. 如專利申請專利範圍第1項之製作方法，其中，該製作方法另包含有下列步驟：

形成一停止層於該第一介電層上，作為去除該犧牲層時的蝕刻停止層；以及

去除部分之該第一介電層以及該停止層，以形成該接觸洞；

3. 如專利申請專利範圍第2項之製作方法，其中，該導電插塞的表面係低於該停止層之表面。

4. 如專利申請專利範圍第3項之製作方法，其中，形成該接種層於該導電插塞上之步驟包含有下列步驟：



## 六、申請專利範圍

形成該接種層於該停止層上與該接觸洞內；以及進行一非等向性蝕刻，以去除位於該停止層上之該接種層，並保留位於該接觸洞內之該接種層。

5. 如專利申請專利範圍第1項之製作方法，其中，去除一預定區域之該犧牲層之步驟包含有一非等向性蝕刻製程。

6. 如專利申請專利範圍第1項之製作方法，其中，去除該犧牲層的步驟包含有一溼蝕刻製程。

7. 如專利申請專利範圍第1項之製作方法，其中，該基底係以矽所構成。

8. 如專利申請專利範圍第1項之製作方法，其中，該第一介電層係以氧化矽(silicon oxide)所構成。

9. 如專利申請專利範圍第1項之製作方法，其中，該導電插塞係以多晶矽(poly-silicon)所構成。

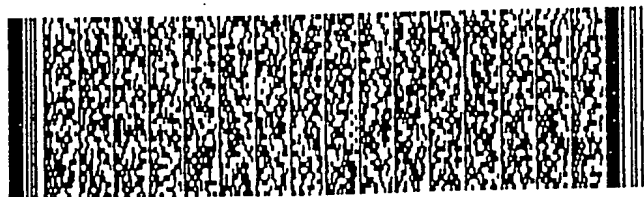
10. 如專利申請專利範圍第1項之製作方法，其中，該接種層係以鈦(Ruthenium, Ru)所構成。

11. 如專利申請專利範圍第1項之製作方法，其中，該下電極層係以鉑(platinum, Pt)所構成。

12. 如專利申請專利範圍第1項之製作方法，其中，該第二介電層係以鈦酸鋇鋇((Ba, Sr)TiO<sub>3</sub>, BST)所構成。

13. 如專利申請專利範圍第1項之製作方法，其中，該上電極層係以鉑所構成。

14. 如專利申請專利範圍第1項之製作方法，其中，形成該接種層於該導電插塞上之步驟亦同時使該接種層形成

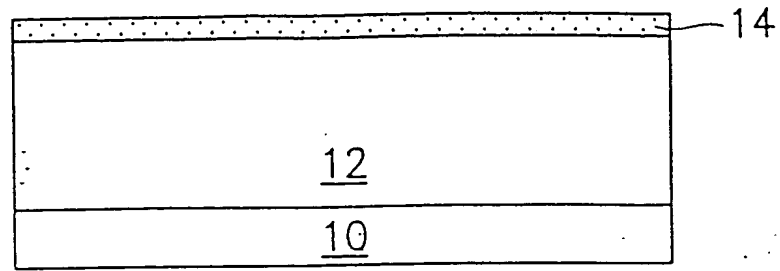


425111  
六、申請專利範圍

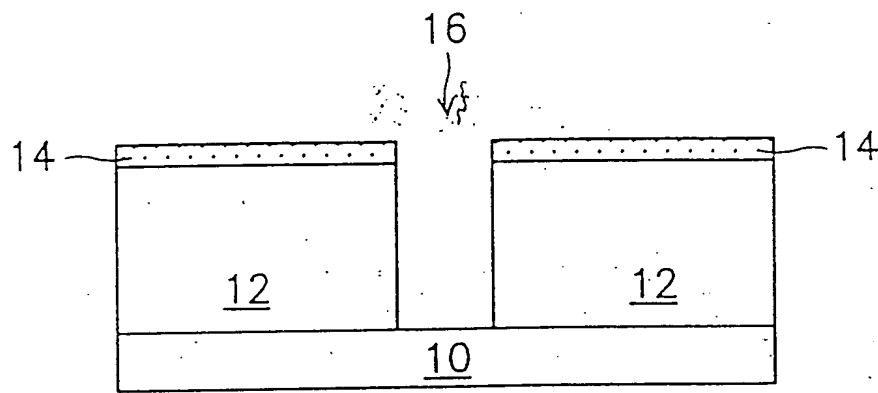
於該第一介電層上。

15. 如專利申請專利範圍第14項之製作方法，其中，該方法另包含有一步驟，以去除該下電極層未覆蓋處之該接種層。

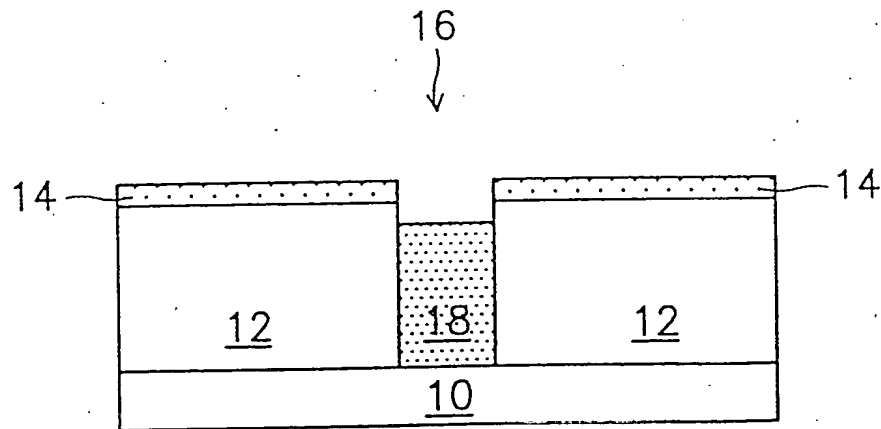




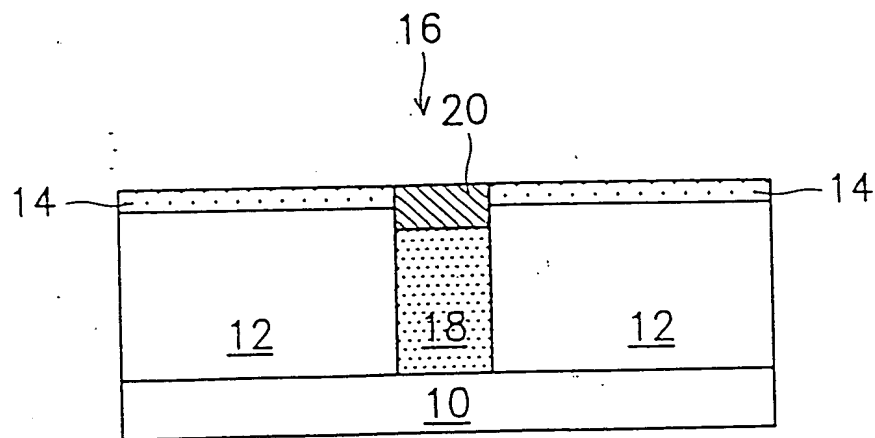
第 1 圖



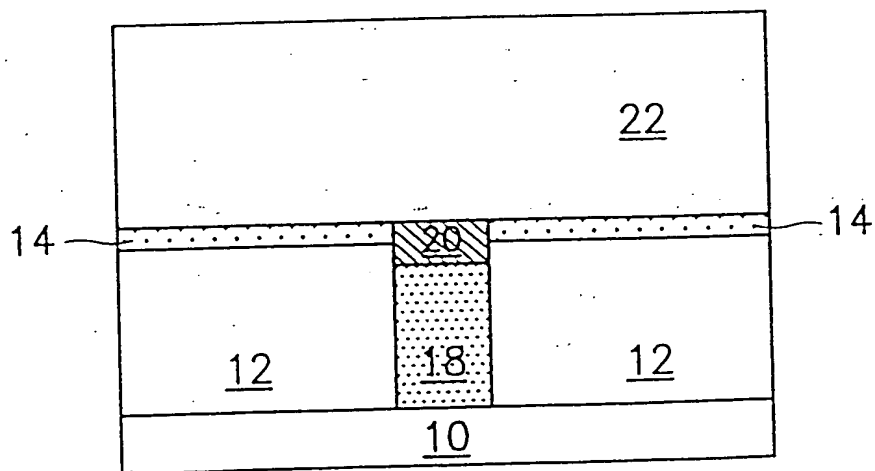
第 2 圖



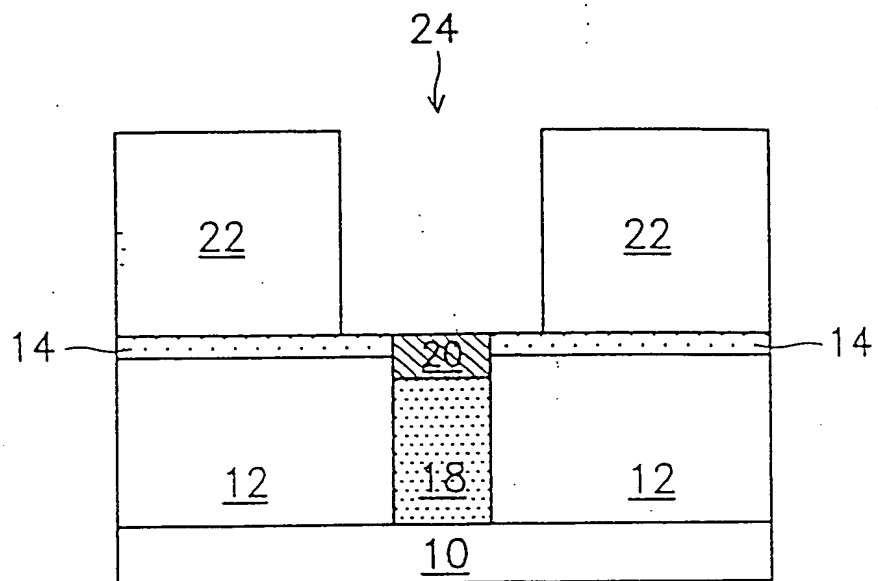
第 3 圖



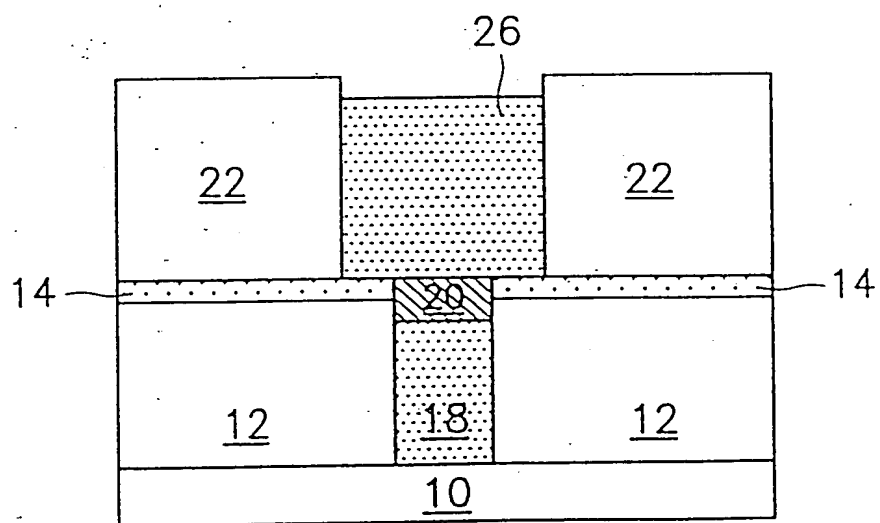
第 4 圖



第 5 圖

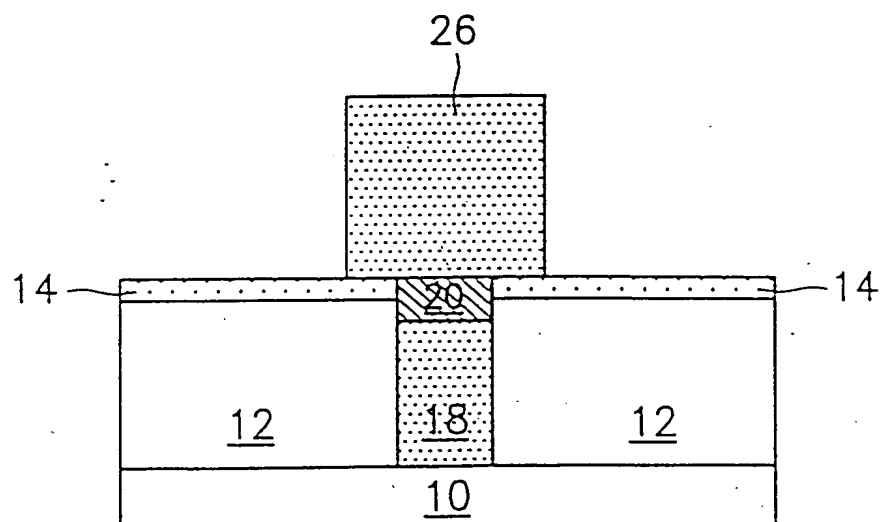


第 6 圖

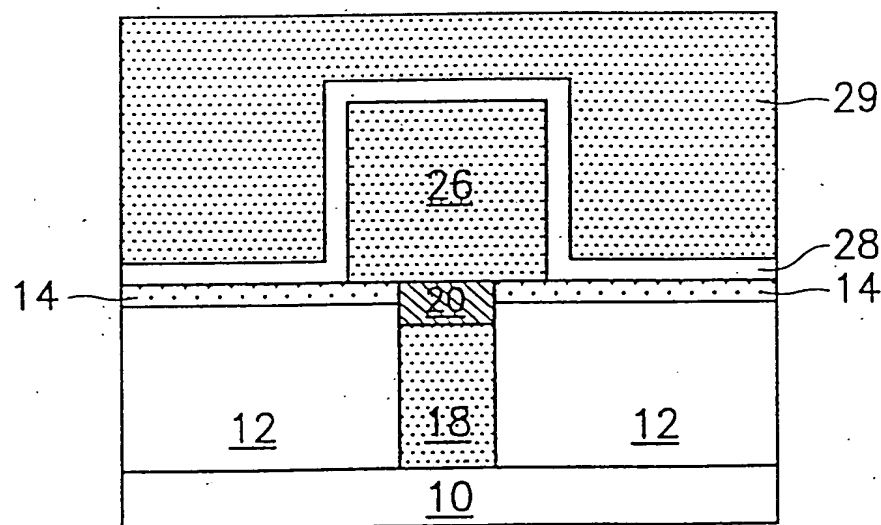


第 7 圖

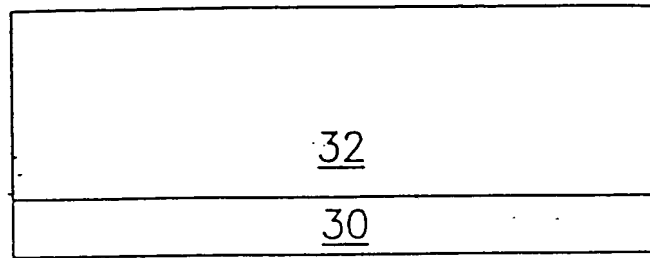




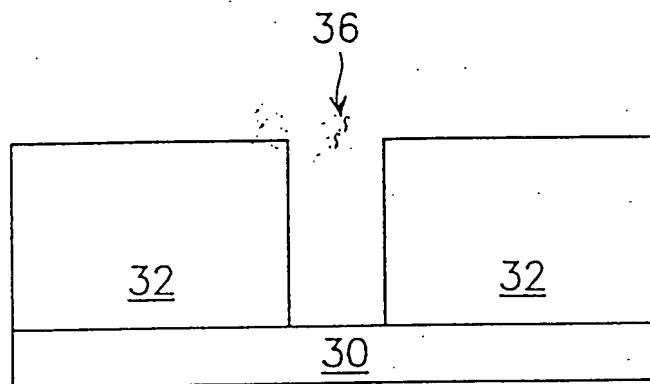
第 8 圖



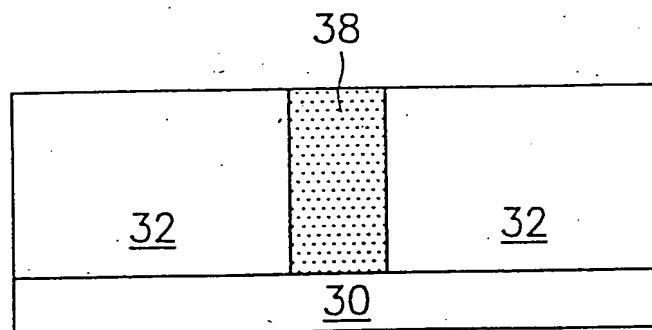
第 9 圖



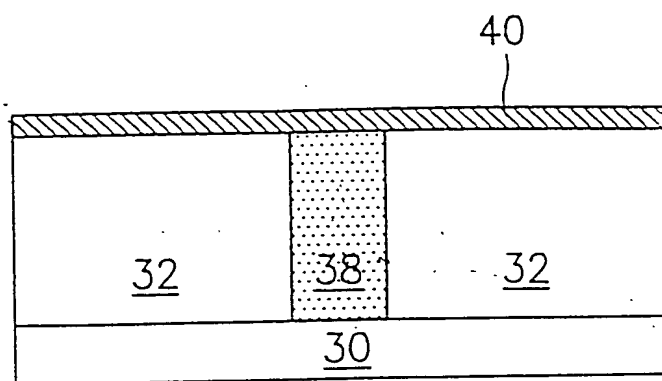
第 10 圖



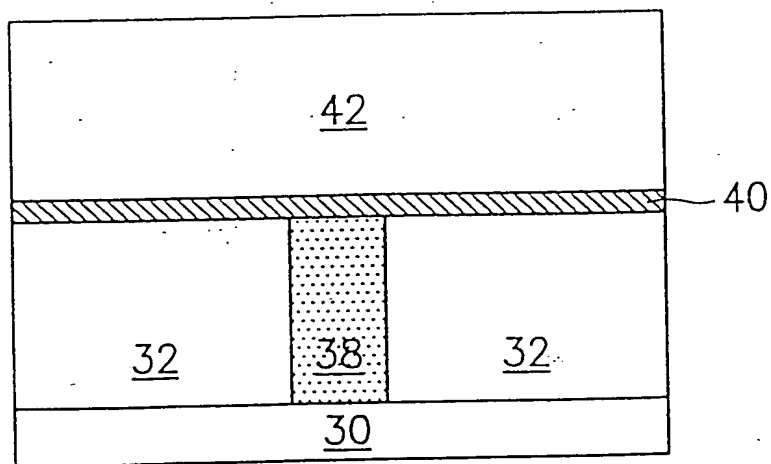
第 11 圖



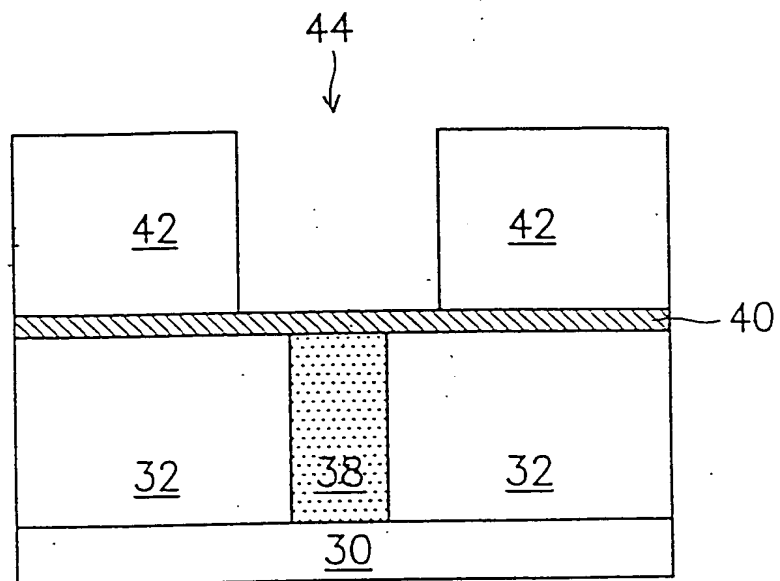
第 12 圖



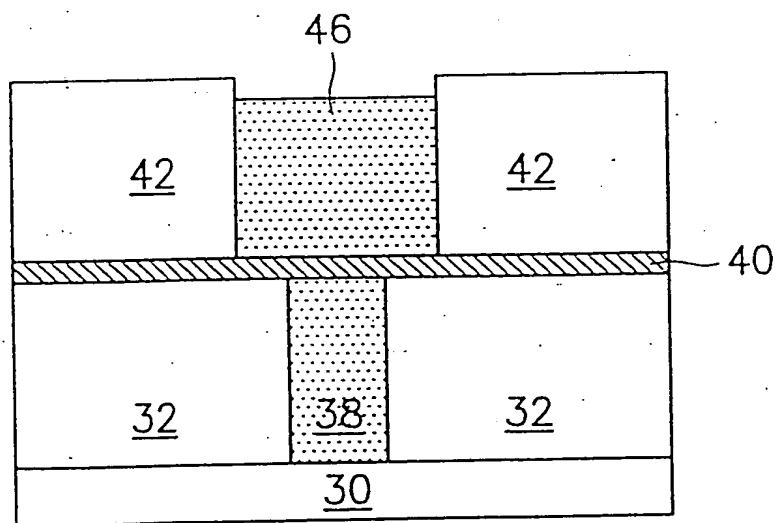
第 13 圖



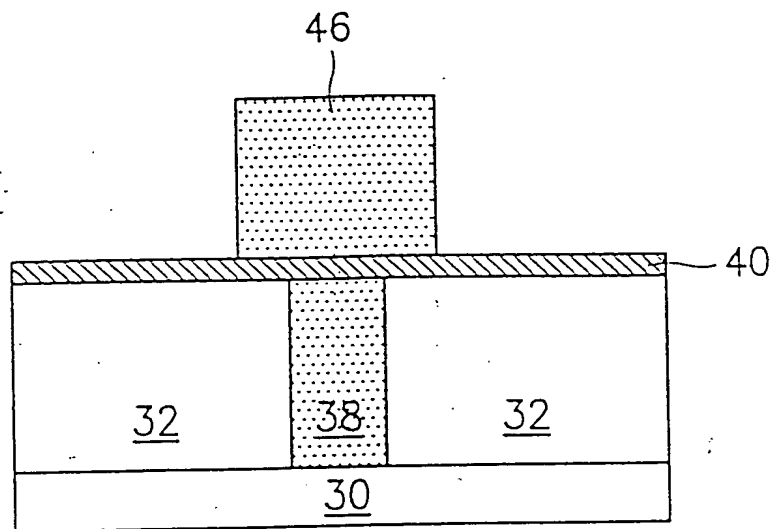
第 14 圖



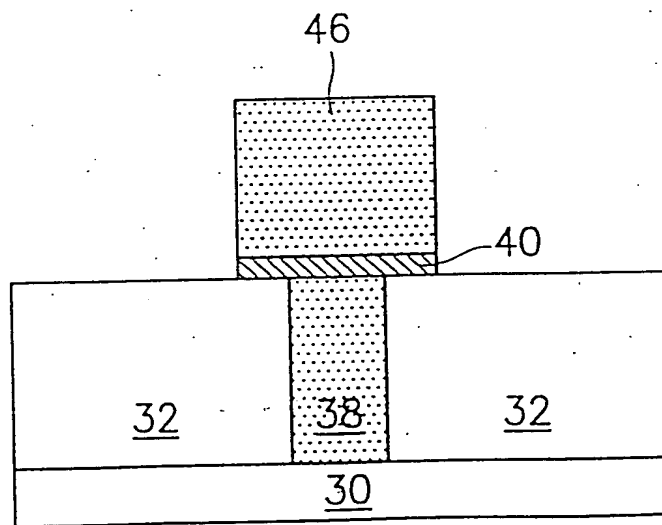
第 15 圖



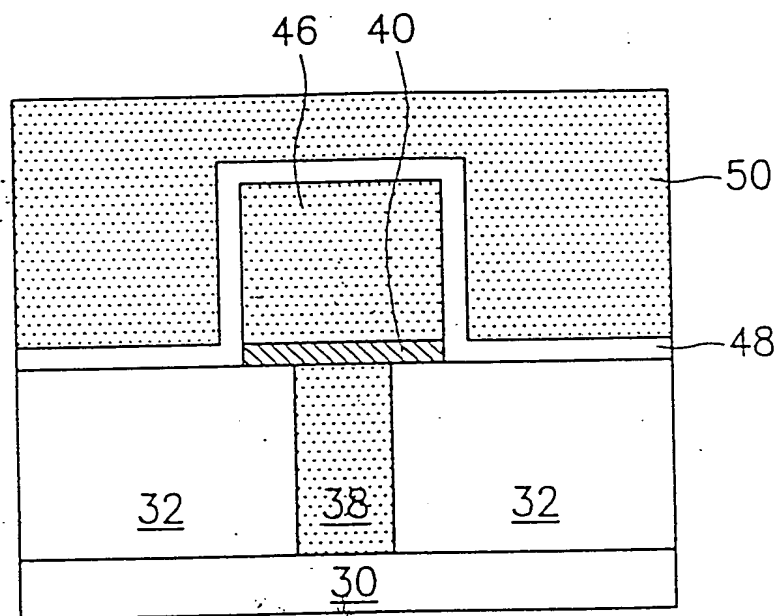
第 16 圖



第 17 圖

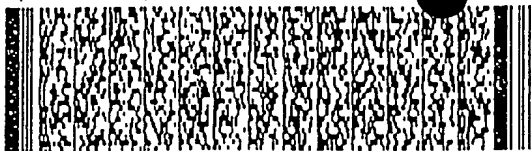


第 18 圖

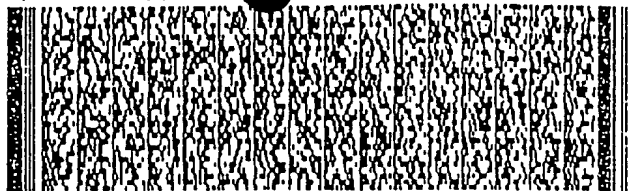


第 19 圖

第 1/16 頁



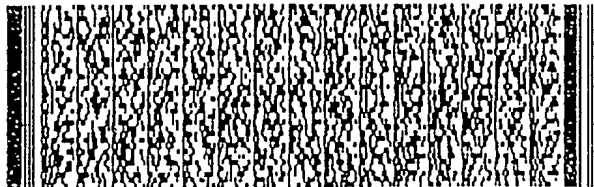
第 2/16 頁



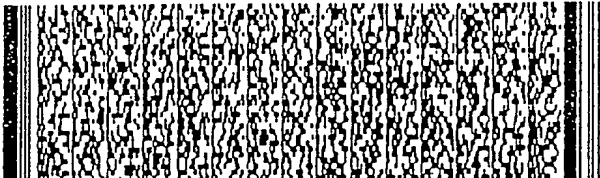
第 3/16 頁



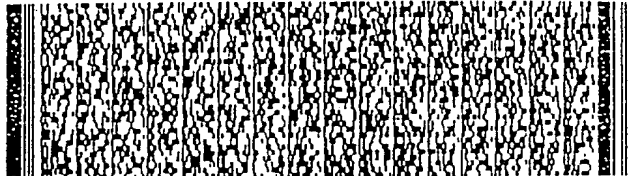
第 5/16 頁



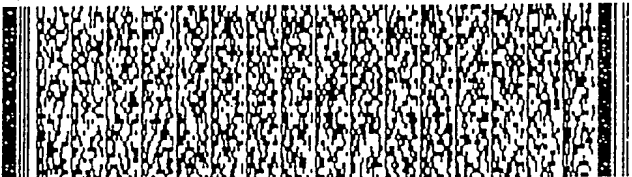
第 5/16 頁



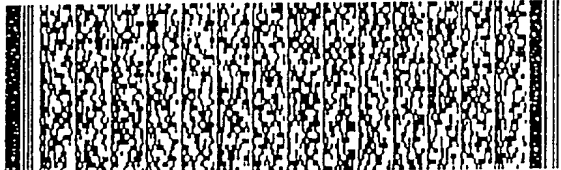
第 6/16 頁



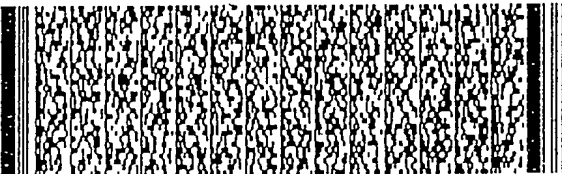
第 6/16 頁



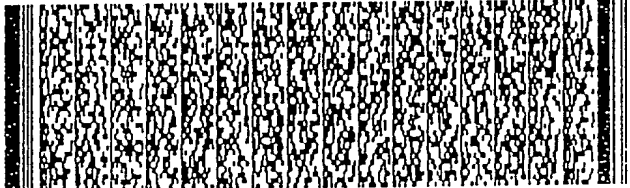
第 7/16 頁



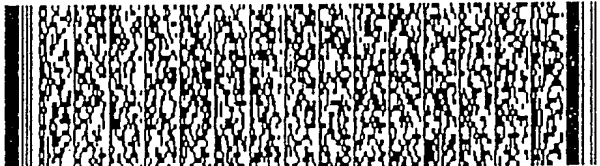
第 7/16 頁



第 8/16 頁



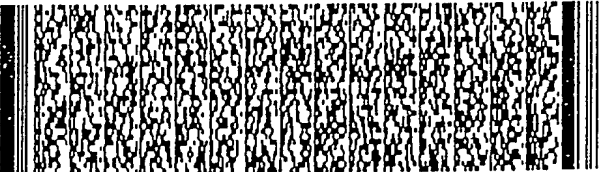
第 9/16 頁



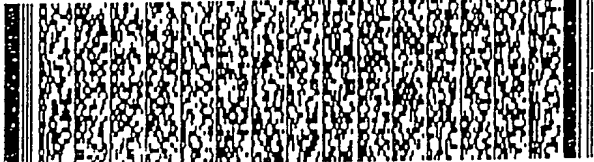
第 9/16 頁



第 10/16 頁



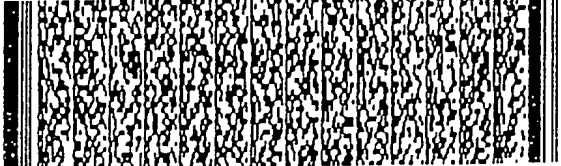
第 10/16 頁



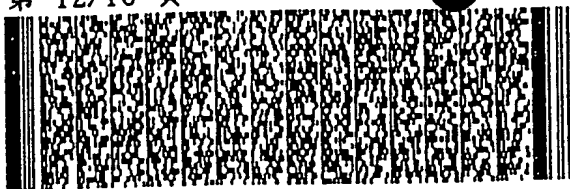
第 11/16 頁



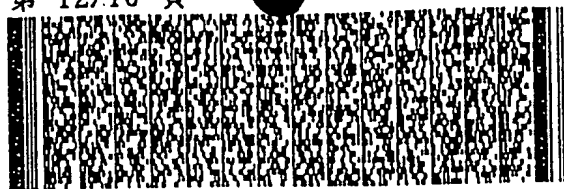
第 11/16 頁



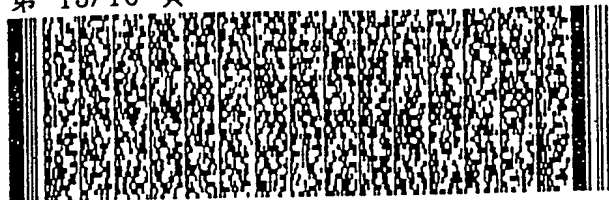
第 12/16 頁



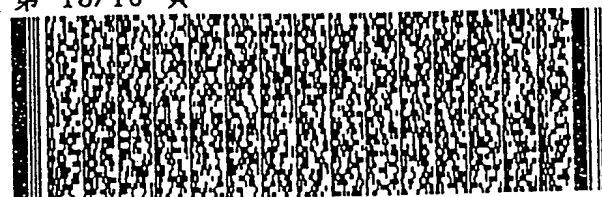
第 12/16 頁



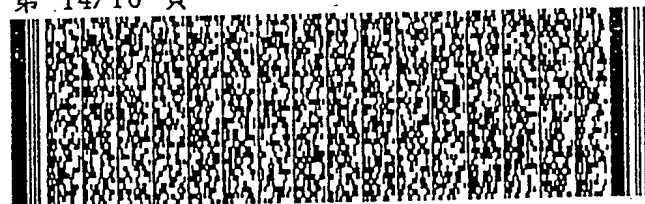
第 13/16 頁



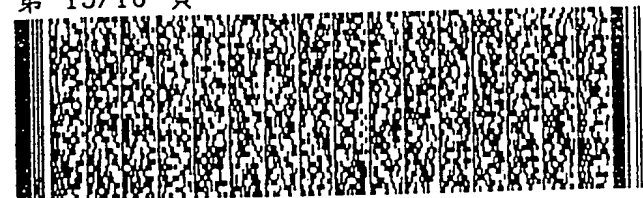
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

